

CLIPPEDIMAGE= JP404176165A

PAT-NO: JP404176165A

DOCUMENT-IDENTIFIER: JP 04176165 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: June 23, 1992

INVENTOR-INFORMATION:

NAME

ANDO, TOMOSHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP02302909

APPL-DATE: November 8, 1990

INT-CL (IPC): H01L027/092;H01L027/12

US-CL-CURRENT: 257/288

ABSTRACT:

PURPOSE: To enable different back biases to be applied to a P channel MOS transistor and an N channel MOS transistor respectively by a method wherein a back bias impurity region is provided to the interface of a semiconductor substrate with an insulating layer below either of the P channel MOS transistor and the N channel MOS transistor.

CONSTITUTION: An N<SP>+</SP>-type back bias impurity region 12 is formed at a prescribed position on the surface of a P-type silicon substrate 11, a silicon thin film 14a is formed on the P-type silicon substrate 11 and the N<SP>+</SP>-type back bias impurity region 12 through the intermediary of a silicon oxide film 13, and the silicon thin film 14a is element-isolated through a field oxide film 15. Electrodes 22 and 23 of polysilicon layer are

⑫ 公開特許公報(A) 平4-176165

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月23日

H 01 L 27/092
27/12

B

7514-4M
7735-4M

H 01 L 27/08

3 2 1 B

審査請求 未請求 請求項の数 3 (全8頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平2-302909

⑰ 出 願 平2(1990)11月8日

⑱ 発 明 者 安 藤 知 史 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 北野 好人

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 半導体基板上に絶縁層を介して設けられた半導体薄膜にpチャネル電界効果トランジスタ及びnチャネル電界効果トランジスタが形成されている半導体装置において、

前記pチャネル電界効果トランジスタ又は前記nチャネル電界効果トランジスタの少なくともいずれか一方のトランジスタ下方の前記半導体基板の前記絶縁層との界面に、背面バイアス用不純物領域が設けられている

ことを特徴とする半導体装置。

2. 支持基板としての第1の半導体基板上の所定の位置にマークを形成する工程と、

前記マークを位置合わせに利用して定めた前記半導体基板上の所定の位置に、不純物を添加して

背面バイアス用不純物領域を形成する工程と、

前記第1の半導体基板表面に、絶縁層を介して第2の半導体基板を張り合わせる工程と、

前記第2の半導体基板裏面を研磨して、前記第1の半導体基板上に前記絶縁層を介して半導体薄膜を形成する工程と、

前記マークを位置合わせに利用して、前記背面バイアス用不純物領域上方の前記半導体薄膜に、pチャネル電界効果トランジスタ又はnチャネル電界効果トランジスタのいずれか一方の第1のトランジスタを形成すると共に、前記背面バイアス用不純物領域以外の前記第1の半導体基板上の前記半導体薄膜に、前記第1のトランジスタと異なるチャネル型の第2のトランジスタを形成する工程と

を有することを特徴とする半導体装置の製造方法。

3. 支持基板としての第1の半導体基板上の所定の位置にマークを形成する工程と、

前記マークを位置合わせに利用して定めた前記

半導体基板上の所定の位置に、異種の不純物をそれぞれ添加して第1及び第2の背面バイアス用不純物領域を形成する工程と、

前記第1の半導体基板表面に、絶縁層を介して第2の半導体基板を張り合わせる工程と、

前記第2の半導体基板裏面を研磨して、前記第1の半導体基板上に前記絶縁層を介して半導体薄膜を形成する工程と、

前記マークを位置合わせに利用して、前記第1の背面バイアス用不純物領域上方の前記半導体薄膜にpチャネル電界効果トランジスタを形成すると共に、前記第2の背面バイアス用不純物領域上方の前記半導体薄膜にnチャネル電界効果トランジスタを形成する工程と

を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[概要]

— 3 —

特にSOI (Silicon On Insulator) 構造のMOS (Metal Oxide Semiconductor) トランジスタ及びその製造方法に関する。

[従来の技術]

従来のバルク形CMOS (Complementary MOS) トランジスタを第3図に示す。

p型シリコン基板31上にフィード酸化膜32が形成され、素子領域を分離している。また、この素子領域には、n型ウェル領域33が形成されている。そしてこのn型ウェル領域33表面には、p⁺型ソース、ドレイン領域34が相対して形成され、これらのp⁺型ソース、ドレイン領域34に挟まれてn型チャネル領域35が形成されている。また、n型ウェル領域33に隣接する素子領域のp型シリコン基板31表面には、n⁺型ソース、ドレイン領域36が相対して形成され、これらのn⁺型ソース、ドレイン領域36に挟まれてp型チャネル領域37が形成されている。

そしてこれらのn型チャネル領域35及びp型

— 5 —

半導体装置に係り、特にSOI (Silicon On Insulator) 構造のMOS (Metal Oxide Semiconductor) トランジスタに関し、

SOI構造のCMOSTランジスタにおいて、pチャネルMOSTランジスタとnチャネルMOSTランジスタとに異なる背面バイアスを印加することができる半導体装置を提供することを目的とし、

半導体基板上に絶縁層を介して設けられた半導体薄膜にpチャネル電界効果トランジスタ及びnチャネル電界効果トランジスタが形成されている半導体装置において、前記pチャネル電界効果トランジスタ又は前記nチャネル電界効果トランジスタの少なくともいずれか一方のトランジスタ下方の前記半導体基板の前記絶縁層との界面に、背面バイアス用不純物領域が設けられているように構成する。

[産業上の利用分野]

本発明は半導体装置及びその製造方法に係り、

— 4 —

チャネル領域37上には、それぞれゲート酸化膜38、39を介して、ポリシリコン層からなるゲート電極40、41が設けられている。このようにして、pチャネルMOSTランジスタ42とnチャネルMOSTランジスタ43とが形成され、CMOSTランジスタを構成している。

このようなバルク型のCMOSTランジスタにおいては、通常背面バイアスとしてp型シリコン基板31に例えばV_b = 0 ~ -3V (ボルト) の基板電圧が印加され、またn型ウェル領域33には電源電圧と同じ例えばV_d = 5Vが印加されている。

[発明が解決しようとする課題]

しかしながら、このような背面バイアスをSOI構造のCMOSTランジスタに適用することは困難である。

従来のSOI構造のCMOSTランジスタを第4図に示す。

即ち、p型シリコン基板51上に、シリコン酸

— 6 —

化膜52を介してシリコン薄膜53が形成されている。このシリコン薄膜53はフィールド酸化膜54によって素子領域を分離されている。そしてこの素子領域のシリコン薄膜53には、 p^+ 型ソース、ドレイン領域55とこれらに挟まれた n 型チャネル領域56が形成されている。また、隣接する素子領域のシリコン薄膜53には、 n^+ 型ソース、ドレイン領域57とこれら n^+ 型ソース、ドレイン領域57に挟まれた p 型チャネル領域58とが形成されている。

そしてこれら n 型チャネル領域56及び p 型チャネル領域58上には、それぞれゲート酸化膜59、60を介して、ポリシリコン層からなるゲート電極61、62が形成されている。このようにして、 p チャネルMOSトランジスタ63と n チャネルMOSトランジスタ64とが形成され、CMOSトランジスタを構成している。

このような従来のSOI構造のCMOSトランジスタにおいては、トランジスタの高度化、高密度化に伴ってシリコン薄膜53の薄膜化を行なう

と、 p^+ 型ソース、ドレイン領域55間及び n^+ 型ソース、ドレイン領域57間のブレークダウン電圧が低下するという問題がある。

この問題を解決するには、背面からバイアスを印加することが必要であるが、例えば n チャネルMOSトランジスタ64の動作に合わせて p 型シリコン基板51に背面バイアス $V_0 = 0V$ を印加して固定すると、 p^+ 型ソース、ドレイン領域55、 n 型チャネル領域56及び p 型シリコン基板51をゲート電極とする p チャネルMOSトランジスタが形成され、 p^+ 型ソース、ドレイン領域55間が導通状態になる。即ち、 p チャネルMOSトランジスタ63が導通状態となり、トランジスタとして動作することができなくなるという問題がある。

従って、これらの問題を解決するには、 p チャネルMOSトランジスタ63及び n チャネルMOSトランジスタ64のそれぞれに背面からバイアスを印加することが必要である。しかし、SOI構造上からして、 p/n 相異なる電極を背面基板

- 7 -

に形成することは極めて困難である。

そこで本発明は、SOI構造のCMOSトランジスタにおいて、 p チャネルMOSトランジスタと n チャネルMOSトランジスタとに異なる背面バイアスを印加することができる半導体装置及びその製造方法を提供することを目的とする。

[課題を解決するための手段]

上記目的は、半導体基板上に絶縁層を介して設けられた半導体薄膜に p チャネル電界効果トランジスタ及び n チャネル電界効果トランジスタが形成されている半導体装置において、前記 p チャネル電界効果トランジスタ又は前記 n チャネル電界効果トランジスタの少なくともいずれか一方のトランジスタ下方の前記半導体基板の前記絶縁層との界面に、背面バイアス用不純物領域が設けられていることを特徴とする半導体装置によって達成される。

また、上記目的は、支持基板としての第1の半導体基板上の所定の位置にマークを形成する工程

- 8 -

と、前記マークを位置合わせに利用して定めた前記半導体基板上の所定の位置に、不純物を添加して背面バイアス用不純物領域を形成する工程と、前記第1の半導体基板表面に、絶縁層を介して第2の半導体基板を張り合わせる工程と、前記第2の半導体基板裏面を研磨して、前記第1の半導体基板上に前記絶縁層を介して半導体薄膜を形成する工程と、前記マークを位置合わせに利用して、前記背面バイアス用不純物領域上方の前記半導体薄膜に、 p チャネル電界効果トランジスタ又は n チャネル電界効果トランジスタのいずれか一方の第1のトランジスタを形成すると共に、前記背面バイアス用不純物領域以外の前記第1の半導体基板上方の前記半導体薄膜に、前記第1のトランジスタと異なるチャネル型の第2のトランジスタを形成する工程とを有することを特徴とする半導体装置の製造方法によって達成される。

また、支持基板としての第1の半導体基板上の所定の位置にマークを形成する工程と、前記マークを位置合わせに利用して定めた前記半導体基板

上の所定の位置に、異種の不純物をそれぞれ添加して第1及び第2の背面バイアス用不純物領域を形成する工程と、前記第1の半導体基板表面に、絶縁層を介して第2の半導体基板を張り合わせる工程と、前記第2の半導体基板裏面を研磨して、前記第1の半導体基板上に前記絶縁層を介して半導体薄膜を形成する工程と、前記マークを位置合わせに利用して、前記第1の背面バイアス用不純物領域上方の前記半導体薄膜にpチャネル電界効果トランジスタを形成すると共に、前記第2の背面バイアス用不純物領域上方の前記半導体薄膜にnチャネル電界効果トランジスタを形成する工程とを有することを特徴とする半導体装置の製造方法によって達成される。

[作用]

本発明は、pチャネル電界効果トランジスタ又はnチャネル電界効果トランジスタのいずれか一方又は両方のトランジスタの下方の半導体基板に、背面バイアス用不純物領域を設けることにより、

pチャネル電界効果トランジスタとnチャネル電界効果トランジスタとに互いに異なる背面バイアスを印加することができる。

また、この背面バイアスの制御によってソース、ドレイン間のブレイクダウン電圧の低下を防ぐことにより、半導体薄膜の更なる薄膜化及び半導体薄膜と半導体基板との間の絶縁層の更なる薄膜化を実現し、従って電界効果トランジスタの短チャネル化、即ち高速度化及び高密度化を実現することができる。

また、かかる半導体装置の製造方法において、張り合わせ前のシリコン半導体基板表面に、背面バイアス用不純物領域と共に位置合わせ用のマークを形成することにより、張り合わせ法によってSOI構造を形成したのち、マークを位置合わせに利用して、背面バイアス用不純物領域上方の半導体薄膜に所定のMOSトランジスタを正確かつ容易に形成することができる。

[実施例]

— 11 —

以下、本発明を維持する実施例に基づいて具体的に説明する。

第1図は本発明の一実施例によるSOI構造のCMOSトランジスタを示す断面図である。

p型シリコン基板11表面の所定の位置にn⁺型背面バイアス用不純物領域12が形成されている。そしてp型シリコン基板11及びn⁺型背面バイアス用不純物領域12上には、シリコン酸化膜13を介してシリコン薄膜14aが形成されている。このシリコン薄膜14aはフィールド酸化膜15によって素子分離されている。

そしてn⁺型背面バイアス用不純物領域12上方のシリコン薄膜14aからなる素子領域には、p⁺型ソース、ドレイン領域16が相対して形成され、またこれらp⁺型ソース、ドレイン領域16に挟まれてn型チャネル領域17が形成されている。

また、この素子領域に隣接する素子領域にも、同様にしてn⁺型ソース、ドレイン領域18及びp型チャネル領域19が形成されている。

— 12 —

そしてn型チャネル領域17及びp型チャネル領域19上には、それぞれゲート酸化膜20、21を介して、ポリシリコン層からなるゲート電極22、23が形成されている。こうして、pチャネルMOSトランジスタ24及びnチャネルMOSトランジスタ25が形成されている。

このように本実施例によれば、p型シリコン基板11表面に設けられたn⁺型背面バイアス用不純物領域12上方に、シリコン酸化膜13を介してpチャネルMOSトランジスタ24が形成され、またn⁺型背面バイアス用不純物領域が設けられていないp型シリコン基板11上方に、シリコン酸化膜13を介してnチャネルMOSトランジスタ25が形成され、CMOSトランジスタを構成している。

従って、p型シリコン基板11及びn⁺型背面バイアス用不純物領域12に互いに異なる電圧を印加することにより、pチャネルMOSトランジスタ24及びnチャネルMOSトランジスタ25にそれぞれ異なる所望の背面バイアスを印加する

— 13 —

— 14 —

ことができ、これら p チャネル MOS トランジスタ 24 及び n チャネル MOS トランジスタ 25 からなる CMOS トランジスタを適性に動作させることができる。

また、このとき背面バイアスの制御によってソース、ドレイン間のブレイクダウン電圧の低下を防ぐことができるため、素子領域たるシリコン薄膜 14a の薄膜化及びシリコン酸化膜 13 の薄膜化を実現することができ、従って MOS トランジスタの短チャネル化、即ち高速化及び高密度化を実現することができる。

なお、上記実施例においては p チャネル MOS トランジスタの下方のシリコン基板表面に n⁺ 型背面バイアス用不純物領域を形成したが、逆に、n チャネル MOS トランジスタ下方のシリコン基板表面に p⁺ 型背面バイアス用不純物領域を形成してもよい。

或いはまた、p チャネル MOS トランジスタ及び n チャネル MOS トランジスタ下方のシリコン基板表面に、それぞれ n⁺ 型及び p⁺ 型の背面バ

イアス用不純物領域を形成してもよい。

次に、第 2 図の工程図を用いて、第 1 図に示す半導体装置の製造方法を説明する。

p 型シリコン基板 11 表面の所定の位置に、位置合わせ用マークとしての溝 26 を形成する（第 2 図（a）参照）。続いて、全面にシリコン酸化膜 27 を形成した後、溝 26 を用いて位置合わせした所定の位置に選択的に窓を開く。そしてこのシリコン酸化膜 27 に開口した窓を通してイオン注入を行ない、p 型シリコン基板 11 表面に n⁺ 型背面バイアス用不純物領域 12 を形成する（第 2 図（b）参照）。

次いで、シリコン酸化膜 27 を除去した後、n⁺ 型背面バイアス用不純物領域 12 を形成した p 型シリコン基板 11 表面に、表面にシリコン酸化膜 13 を形成したシリコン基板 14 を張り合わせる（第 2 図（c）参照）。続いて、シリコン基板 14 の裏面を研磨エッチングして薄膜化し、シリコン薄膜 14a を形成する。このようにして、p 型シリコン基板 11 上にシリコン酸化膜 13 を介

— 15 —

してシリコン薄膜 14a が形成された SOI 構造を形成する（第 2 図（d）参照）。

次いで、溝 26 を位置合わせマークとして用いてシリコン薄膜 14a を選択的に酸化し、フィールド酸化膜 15 を形成して素子領域を分離する。このとき n⁺ 型背面バイアス用不純物領域 12 上方に所定の素子領域が形成されるようにする。

そしてこの n⁺ 型背面バイアス用不純物領域 12 上方の素子領域に、p⁺ 型ソース、ドレイン領域 16、n 型チャネル領域 17、ゲート酸化膜 20 及びゲート電極 22 からなる p チャネル MOS トランジスタ 24 を形成すると共に、n⁺ 型背面バイアス用不純物領域 12 に隣接する p 型シリコン基板 11 上方の素子領域に、n⁺ 型ソース、ドレイン領域 18、p 型チャネル領域 19、ゲート酸化膜 21 及びゲート電極 23 からなる n チャネル MOS トランジスタ 25 を形成する（第 2 図（e）参照）。

また、図示しないが、n⁺ 型背面バイアス用不純物領域 12 に接続する電極を形成する。

— 17 —

— 16 —

このように本実施例による製造方法によれば、張り合わせ前の p 型シリコン基板 11 表面に n⁺ 型背面バイアス用不純物領域 12 を形成すると共に位置合わせ用マークとしての溝 26 を形成することにより、張り合わせた後、溝 26 を利用して容易に位置合わせを行なうことができ、従って n⁺ 型背面バイアス用不純物領域 12 上方の正確な位置に所望の p チャネル MOS トランジスタ 24 を容易に形成することができる。

なお、上記実施例においては p 型シリコン基板 11 上に形成した位置合わせ用マークとして溝 26 を用いたが、これに限定されず、シリコン酸化膜 13 及びシリコン薄膜 14a を介して位置合わせ用マークとして用いられるものであれば、例えばクロム系の金属やタングステン等の高融点金属をバターニングしたものであってもよい。

また、張り合わせの際、p 型シリコン基板 11 上のシリコン酸化膜 27 を除去した後、シリコン基板 14 表面にシリコン酸化膜 13 を形成して張り合わせを行なったが、p 型シリコン基板 11 側

— 18 —

にシリコン酸化膜を形成して張り合わせを行なってもよい。

更に、上記製造方法においては、第2図(b)に示されるように、p型シリコン基板11表面にn⁺型背面バイアス用不純物領域12を形成しているが、これと共に、所定の位置にp⁺型背面バイアス用不純物領域を形成することにより、pチャネルMOSトランジスタ24及びnチャネルMOSトランジスタ25下方のシリコン基板表面にそれぞれn⁺型及びp⁺型背面バイアス用不純物領域を形成することができる。

或いはまた、n型シリコン基板を用いた場合、本実施例とは逆に、nチャネルMOSトランジスタ下方のシリコン基板表面にp⁺型背面バイアス用不純物領域を形成することもできる。

[発明の効果]

以上のように、本発明によれば、半導体基板上に絶縁層を介して設けられた半導体薄膜にpチャネル電界効果トランジスタ及びnチャネル電界効

果トランジスタが形成されている半導体装置において、pチャネル電界効果トランジスタ又はnチャネル電界効果トランジスタの少なくともいずれか一方のトランジスタ下方の半導体基板界面に、背面バイアス用不純物領域が設けられていることにより、pチャネル電界効果トランジスタとnチャネル電界効果トランジスタとに互いに異なる背面バイアスを印加することができる。

これにより、ソース、ドレイン間のブレイクダウン電圧の低下を防ぐことができるため、半導体薄膜の更なる薄膜化及び半導体薄膜と半導体基板との間の絶縁層の更なる薄膜化を実現し、従ってトランジスタの高速化及び高密度化を実現することができる。

また、かかる半導体装置の製造方法において、張り合わせ前のシリコン半導体基板表面に背面バイアス用不純物領域と共に位置合わせ用のマークを形成していることにより、張り合わせによってSOI構造を形成した後、マークを利用して背面バイアス不純物領域上方の半導体薄膜に所定のト

— 19 —

ランジスタを正確かつ容易に形成することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例によるSOI構造のMOSトランジスタを示す断面図、

第2図は第1図に示すMOSトランジスタの製造方法を説明する工程図、

第3図及び第4図は従来のMOSトランジスタを示す断面図である。

図において、

- 11、31、51……p型シリコン基板、
- 12……n⁺型背面バイアス用不純物領域、
- 13、52……シリコン酸化膜、
- 14……シリコン基板、
- 14a、53……シリコン薄膜、
- 15、32、54……フィールド酸化膜、
- 16、34、55……p⁺型ソース、ドレイン領域、

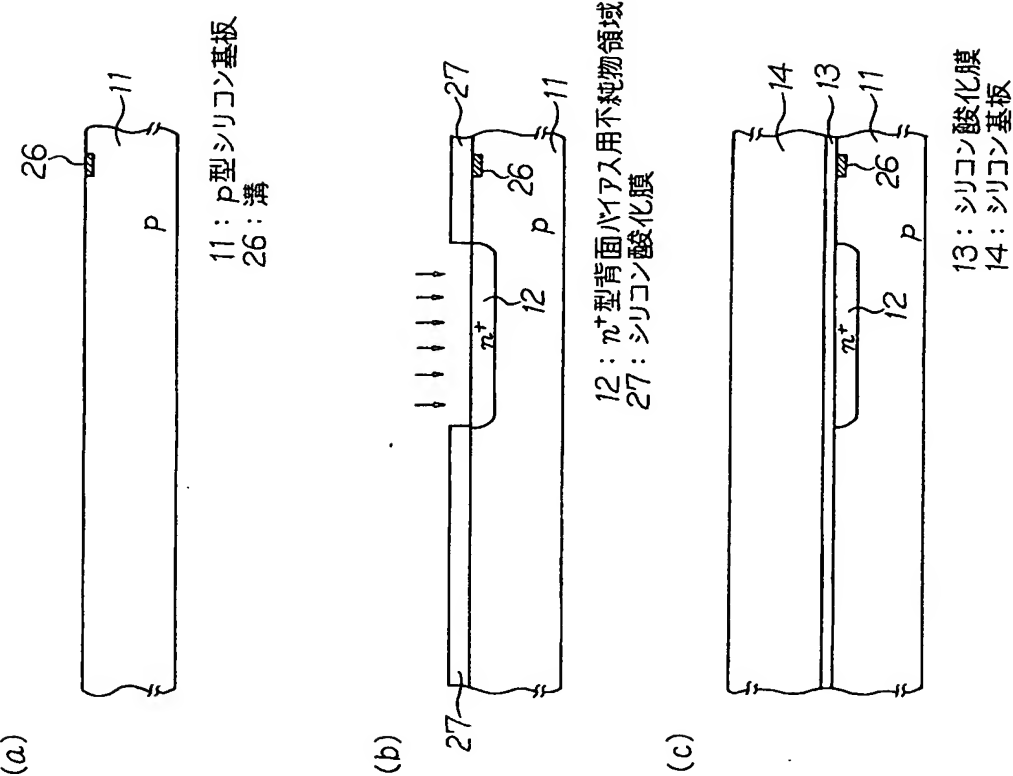
— 20 —

- 17、35、56……n型チャネル領域、
- 18、36、57……n⁺型ソース、ドレイン領域、
- 19、38、58……p型チャネル領域、
- 20、21、38、39、59、60……ゲート酸化膜、
- 22、23、40、41、61、62……ゲート電極、
- 24、52、63……pチャネルMOSトランジスタ、
- 25、53、64……nチャネルMOSトランジスタ、
- 26……溝、
- 27……シリコン酸化膜、
- 33……n型ウェル領域。

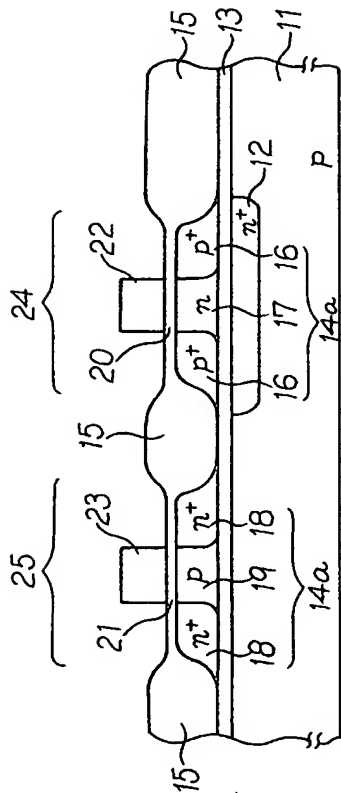
出願人 富士通株式会社
代理人 井理士 北野 好 人

— 21 —

— 22 —



第1図に示すMOSトランジスタの製造方法を説明する工程図
第2図



本発明の一実施例によるSOI構造のMOSトランジスタを示す断面図
第1図

